

⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-76098

⑤ Int. Cl.⁴
G 11 C 17/00

識別記号
3 0 9

庁内整理番号
6549-5B

⑬ 公開 昭和62年(1987)4月8日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 センスアンプ回路

⑯ 特 願 昭60-217111

⑰ 出 願 昭60(1985)9月30日

⑱ 発 明 者 島 宗 裕 次 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 三 好 保 男 外1名

明 細 書

1. 発明の名称

センスアンプ回路

2. 特許請求の範囲

- (1) メモリセルから読出される情報を検出する
第1の増幅回路と、

複数個並設されたダミーメモリセルと、

該ダミーメモリセルの少なくとも何れかに

電気的に所要信号を挿込む挿入手段と、

所要の前記ダミーメモリセルから読出された信号を増幅する第2の増幅回路を備え、該第2の増幅回路から基準電位信号を出力する基準電位発生回路と、

該基準電位発生回路で発生する基準電位と前記第1の増幅回路の出力電位とを比較して、その差電圧に対応したセンスアンプ出力をする比較回路とを有することを特徴とするセンスアンプ回路。

- (2) 前記第1の増幅回路の制御用基準電位として、前記基準電位発生回路で発生する基準電

位を用いたことを特徴とする特許請求の範囲
第1項記載のセンスアンプ回路。

3. 発明の詳細な説明

[発明の技術分野]

この発明は、例えば電気的に書込可能な不揮発性メモリ(ERROM、E²PROM)等々に使用されるセンスアンプ回路に関する。

[発明の技術的背景とその問題点]

センスアンプ回路は、メモリからの低レベル信号を検出して、これを増幅し、信号を全システムの電圧レベルまで増大させるのに使用される。

第4図は、このような従来のセンスアンプ回路の一例を示している。

同図中ブロックAは、ERROM(消去可能ROM)からなる本体メモリ、およびこの本体メモリから読出された情報を検出する第1の増幅回路AMP1で構成されている。本体メモリは、スタックド・ゲートMOSを用いたメモリセルQC1、QC2…が行・列に複数個配列されている。BL1~BLNはビット線、WL1、WL2…はワー

ド線、QN3 (なお符号QN・はNチャンネルMOSを意味し、後述するQP・はPチャンネルMOSを意味する) はパストランジスタである。QW1はスイッチトランジスタで、 $\overline{D_i}$ 信号線に駆動電圧VDDが加えられてオンに転じ、ビット線BL1…に所望電圧VDDを供給するためのものである。

また第1の増幅回路AMP1は、各メモリセルQC1、QC2…から読出される情報(ドレイン電流)を増幅し、読出されたメモリセルが“0”であるか“1”であるかを検出するためのもので、3個のMOSトランジスタQN1、QN2、QP1で構成されている。なお上記の“0”セルとは、 $\overline{D_i}$ の電圧がしきい値電圧Vthが高いために、 $\overline{D_i}$ の電圧がしきい値電圧Vthが低い状態にあるメモリセルを指し、“1”とは $\overline{D_i}$ の電圧がしきい値電圧Vthが低い状態にあるメモリセルを指す。

上記3個のMOSトランジスタのうち、QP1のMOSトランジスタは、増幅用MOSトランジスタQN1の負荷トランジスタ(負荷抵抗)とし

て機能する。またMOSトランジスタQN1、QN2のゲートには、増幅用のMOSトランジスタQN1が、“0”セル選択時には5極管動作をし、“1”セル選択時には、3極管動作をするように設定された基準電位Vbiaが、後述の基準電位設定回路Cから供給される。このように第1の増幅回路AMP1は、“0”セル選択時には増幅率が大きくなるように設定されている。

ブロックBは比較回路で、第1の増幅回路AMP1の出力電位、即ち選択されたメモリセルからの情報に対応した電位Vinと、後述の比較用基準電位発生回路Cからの基準電位Vrefとを比較し、差動的に動作してその差電圧に対応したセンスアンプ出力Voutを出力するためのものである。比較回路Bはカレントミラー形回路で構成されている。

ブロックCは、基準電位Vbiaを設定する基準電位設定回路で、3個の通常のエンハンスメント形MOSトランジスタQBP、QBN1、QBN2で構成されている。このうちQBN1、QB

N2のMOSトランジスタは抵抗として機能する。

ブロックDは、比較用の基準電位Vrefを発生する比較用基準電位発生回路で、前記ブロックAとはほぼ類似した構成からなり、1個のダミーセル(“1”セル)QD3を備えたメモリ部と、このダミーセルQD3から読み出された信号を増幅して、基準電位Vrefを発生させる増幅回路AMP3とで構成されている。増幅回路AMP3は、4個のMOSトランジスタQP2、QP3、QN6、QN7で構成されている。MOSトランジスタQN6、QN7のゲートには、前記第1の増幅回路AMP1と同様に、基準電位設定回路Cからの基準電位Vbiaの線路が接続されている。

比較用基準電位発生回路Cの出力電位Vrefは、比較回路Bから出力されるセンスアンプ出力Voutが正常に、即ち“0”セル選択時にはLレベルに、“1”セル選択時にはHレベルに出力されるようにするために、 $V_{in} > V_{ref} > V_{in}$ を満足するように設定される必要がある。ここで V_{in} は、“0”セル選択時の第1の増

幅回路AMP1の出力電位、 V_{in} は、“1”セル選択時の同出力電位で、 $V_{in} > V_{in}$ の関係にある。

このため、増幅用MOSトランジスタQN6の負荷回路には、前記第1の増幅回路AMP1における負荷トランジスタQP1と同サイズの負荷トランジスタQP2に加えて、さらに負荷トランジスタQP3が並列接続されている。このような負荷回路とすることにより、第1の増幅回路AMP1の出力電位と、比較用基準電位発生回路Dで発生する基準電位Vrefとの間にアンバランスを生じさせ、前記の条件 $V_{in} > V_{ref} > V_{in}$ を、標準的な電源電圧Vccに対して満足するように構成されている。

そしてビット線BL1～BLNおよびワード線WL1、WL2…を選択することにより、選択されたメモリセルが“0”セルである場合のそのメモリセルのドレイン電流I0cell、または“1”セルである場合のそのメモリセルのドレイン電流I1cellを第1の増幅回路AMP1で

増幅検出し、同増幅回路AMP1から出力される出力電位 V_{in} または V'_{in} と、基準電位 V_{ref} との差電圧を比較回路Bで比較し、“0”セル選択時にはMOSトランジスタQN4をほぼ導通状態とさせてLレベルの、また“1”セル選択時には同トランジスタQN4をほぼ非導通状態とさせてHレベルのセンスアンプ出力 V_{out} を出力させるようにしている。

しかしながら、このようなセンスアンプ回路にあっては、必要とする基準電位 V_{bia} および V_{ref} が自己整合的には生成されていないので、電源電圧 V_{cc} の変動、製造プロセスのゆらぎによる素子パラメータの変化、およびメモリセル書込条件の変動等に対して動作マージンが小さいという問題点があった。

これを差動増幅回路Bの各入力電圧 V_{in} 、 V'_{in} 、および V_{ref} の電源電圧 V_{cc} 依存性を示す第5図を用いてさらに説明すると、電源電圧 $V_{cc} < V_{ccmax}$ においては必要条件 $V_{in} > V_{ref} > V'_{in}$ が満足されているた

め差動増幅回路Bは正常に動作するが、 $V_{cc} > V_{ccmax}$ においては同条件が満足されず、従って差動増幅回路Bが誤動作してしまう事を示している。この誤動作の原因は(イ) $V_{cc} > V_{ccmax}$ においてはアンバランスを作るための増幅回路AMP3の負荷トランジスタQP3の素子サイズが適切でない、(ロ)電源電圧 V_{cc} がその設計値 V_{cc} (設計)からずれると基準電位 V_{bia} の値が適切でなくなる、の2点であり、そのいずれの原因も、基準電位 V_{bia} 、 V_{ref} の発生手段に問題がある事を示している。第5図の例においては電源電圧 V_{cc} の変動に対するマージンについて述べたが、素子パラメータの変化およびメモリセル書込み不足によっても同様に誤動作が起こりうる事は明らかであり、例えば、比較回路Bを本来は $V_{cc} = 5V$ で動作すべく設計したにもかかわらず、実デバイスでは製造プロセスのゆらぎに起因する素子パラメータの変動によって設計通りの $V_{cc} = 5V$ では動作しない、という事態が生ずるおそれが多い。これは第4図に

示した従来の回路においては基準電位 V_{bia} および V_{ref} の設定方法として、素子パラメータ、電源電圧 V_{cc} 等によく依存した回路設計を行なわざるを得ない事が原因となっている。

[発明の目的]

この発明は、上記事情に基づいてなされたもので電源電圧の変動、製造プロセスのゆらぎによる素子特性の変化、およびメモリセル書込み条件の変動等に対して高い動作マージンを持ったセンスアンプ回路を提供することを目的とする。

[発明の概要]

この発明は、上記目的を達成するために、比較用の基準電位を発生する基準電位発生回路に、複数個のダミーメモリセルを並設するとともに、このダミーメモリセルの少なくとも何れかに電気的に所要信号を割込む書込手段を配設し、前記複数個のダミーメモリセルの何れかは“0”セルとし、他の何れかは“1”セルとし、本体メモリセルの読出し時にこれら複数個のダミーメモリセルを同時、または所要のものを選択して動作させること

により、自己整合的な基準電位発生回路を実現させたものである。

[発明の効果]

この発明によれば、基準電位発生回路側に、複数個並設したダミーメモリセルと、これらのダミーメモリセルの少なくとも何れかに電気的に所要信号を割込む書込手段と、これらのダミーメモリセルからの読出し信号を増幅する第2の増幅手段とを備えさせたので、前記複数個のダミーメモリセルのうち何れかを“0”セルとし、他の何れかを“1”セルとして、これら“0”セルおよび“1”セルのダミーメモリセルから読出された所要の組合わせ読出し信号に基づいて基準電位を生じさせることにより、基準電位発生回路を自己整合的に動作させることができ、電源電圧の変動、製造プロセスのゆらぎによる素子特性の変化、メモリセル書込条件の変動等に対して高い動作マージンが保証されるという効果が得られる。

[発明の実施例]

以下この発明の実施例を図面に基づいて説明す

る。第1図は、この発明の第1実施例示す図である。なお第1図および後述の第3図において前記第4図におけるブロックまたは回路素子等と同一ないし均等のものは、前記と同一符号を以て示し重複した説明を省略する。

まず構成を説明すると、この発明においては基準電位発生回路Eが次のように構成されている。

即ち、基準電位発生回路Eには、2個のダミーメモリセルQD1、QD2が設けられ、ダミーメモリセルQD1にはバストラジスタQND3が直列接続され、他方のダミーメモリセルQD2にはバストラジスタQND4が直列接続され、このように構成された2個のダミーセル回路1a、1bが並設されている。ダミーメモリセルQD1とバストラジスタQND3の各ゲートにはコントロール信号線Sd1が共通接続され、他のダミーメモリセルQD2とバストラジスタQND4の各ゲートにはコントロール信号線Sd2が共通接続されている。コントロール信号線Sd1、Sd2の選択により、ダミーメモリセルQD1、Q

D2の何れか、または両者が選択される。

バストラジスタQW2は、そのゲートに接続されたコントロール信号線DPGMに高電圧Vppが印加されることによりオンに転じてダミーセル回路1a、1bに所定電圧を供給するもので、このバストラジスタQW2により、ダミーメモリセルQD1、QD2に対する電気的な選手段が構成される。

2個のダミーセル回路1a、1bの共通出力線は、第2の増幅回路AMP2に接続されている。第2の増幅回路AMP2は、ダミーメモリセルQD1、QD2からの読出し信号を増幅し、この読出し信号に基づいた基準電位信号Vrefを出力するもので、3個のMOSトランジスタQND1、QND2、およびQPD1により、前記第1の増幅回路AMP1と対称的に構成されている。

第2の増幅回路AMP2の出力端子2は、差動増幅回路Bの基準電位Vref入力端子に接続されるとともに、第1の増幅回路AMP1におけるMOSトランジスタQN1、QN2のゲートにも

接続されている。而して第2の増幅回路AMP2の出力電位である基準電位Vrefは、第1の増幅回路AMP1の制御用基準電位としても用いられ、回路構成の簡略化が図られている。

また基準電位発生回路Eを構成する各素子QD1、QD2、QND1、QND2、QND3、およびQPD1は、本体メモリおよび第1の増幅回路AMP1の各素子QC1、QN1、QN2、QN3、およびQP1に対して次のようなサイズ関係に形成されている。

即ちおのおの対応する素子同士、例えばQC1対QD1あるいはQD2は、それぞれ等しいチャンネルを長を持ち、チャンネル幅においてはQPD1、QND1、QND2はそれぞれQP1、QN1、QN2のy倍、QND3、QD1はそれぞれQN3、QC1のx倍、QND4、QD2はそれぞれQN3、QC1の(y-x)倍となるように設定されている。ただし上記x、yはy>xを満足する正の実数である。このようにして差動増幅回路Bに対する入力電位Vin発生側と基準電

位Vref発生側との間には、素子サイズの面においても対応性が有せしめられて、電源電圧の変動等、特性上の変動による動作マージンの低下を防止する対策が講じられている。

第 1 表

	本体セル 選込み	ダミーセル 用込み	本体セル 読出し
Din	Vpp	gnd	gnd
DPGM	gnd	Vpp	gnd
Se1	Vpp	gnd	Vcc
:	:	:	:
SeN	gnd	gnd	gnd
WL1	Vpp	gnd	Vcc
WL2	gnd	gnd	gnd
:	:	:	:
:	:	:	:
Sd1	gnd	gnd	Vcc
Sd2	gnd	Vpp	Vcc

次に上記第1表を参照して作用を説明する。第1表は動作モード別の各コントロール信号線に印加する信号の電位を表わしている。ここで同表中の本体セルはQC1のメモリセルが選ばれて、これに対して書込みと読出しが行なわれるものとし、ダミーセルはQD2のものが選ばれてこれに書込みが行なわれるものとする。また同表中、記号 gnd はアースレベルの電位を表わす。

まず2個のダミーメモリセルのうち、第1表に示すようにQD2が“0”セルに選ばれるものとする。バストランジスタQW2のコントロール信号線DIPGMと、ダミーメモリセルQD2のコントロール信号線Sd2とを、それぞれ高電位V_{pp}に選択すると、ダミーメモリセルQD2に書込みが行なわれて“0”セルとされる。以後ダミーメモリセルQD2は“0”セルに、他のダミーメモリセルQD1は“1”セルに保持される。

次いで、例えば予め書込みが行われて“0”セルとされている本体メモリセルQC1の情報を読出すものとする。メモリ本体側において、ワード

線WL1およびコントロール信号線Se1をそれぞれV_{cc}電位に選択すると、メモリセルQC1からI_{ccell}のドレイン電流が読出され、これが第1の増幅回路AMP1の5極管動作により増幅検出されて、第1の増幅回路AMP1から出力電位V_{oin}が出力される。

一方、基準電圧発生回路E側においては、コントロール信号線Sd1、Sd2がともにV_{cc}の高電位に選択され、“0”セルのダミーメモリセルQD2と、“1”セルのダミーメモリセルQD1とが同時に読出される。而してダミーメモリセルからの読出し電流は、“0”セルのダミーメモリセルQD2の1個のみが読出される場合と較べて、所定レベルだけ低い電流値となる。而して基準電圧発生回路Eから出力される基準電位V_{ref}は、正確にV_{oin} > V_{ref}の関係に設定され、この両入力電位V_{oin}、V_{ref}が比較回路Bで比較されて、当該比較回路BからLレベルのセンスアンプ出力V_{out}が出力される。

上記と逆に“1”セルの本体メモリセルが選択

されたときは、第1の増幅回路AMP1は3極管動作をして、第1の増幅回路AMP1からは出力電位V_{oin} (< V_{oin}) が出力される。この出力電位V_{oin}は、基準電位V_{ref}に対し、V_{ref} > V_{oin}の関係に設定され、この両入力電位V_{oin}、V_{ref}が比較回路Bで比較されて、当該比較回路BからHレベルのセンスアンプ出力V_{out}が出力される。

而して、上記のように基準電位発生回路E側において、“0”セルと“1”セルの両ダミーメモリセルQD1、QD2を同時に読出し、この組合わせ読出し信号に基づいて基準電位V_{ref}を発生させることにより、いかなる電源電圧V_{cc}および素子パラメータのもとにおいても、第2図に示すようにV_{oin} > V_{ref} > V_{oin}の必要条件が満たされて、比較回路Bの誤動作が的確に防止される。

次に第3図には、この発明の第2実施例を示す。この実施例は、第1増幅回路AMP1の出力トランジスタQP1に、新たにPチャンネル形の2個

のMOSトランジスタQPVおよびQPV'を直列にしたものを、並列接続して、ダミーメモリセル、例えばQD2に書込みがなされたかどうかを簡単に確認できるようにしたものである。

第2表(次頁)を参照して動作を説明すると、通常の本体メモリからのメモリ読出し動作時にはMOSトランジスタQPV'のコントロール信号線DVをHレベルに設定して、両MOSトランジスタQPV、QPV'をオフ状態としておく。このときの回路構成状態は、前記第1図と同一状態となる。

ダミーメモリセル、例えばQD2に書込みがなされているか否かを確認するときは、コントロール信号線DVをLレベルに設定し、両MOSトランジスタQPV、QPV'をオン状態とする。この結果第1の増幅回路AMP1は、負荷トランジスタQP1にさらに、MOSトランジスタQPVが負荷トランジスタとして並列接続され、負荷抵抗が減少して増幅度が低下する。

このとき本体メモリは、“1”セルのメモリセ

ルを選択する。したがって第1の増幅回路AMP1からは V'_{in} よりもさら低電位の $V'_{in'}$ が出力される。

第 2 表

	ダミーセル 出込み	ダミーセル 需込確認	本体セル 読出し
\overline{Din}	gnd	gnd	gnd
DPGM	Vpp	gnd	gnd
Sc1	gnd	Vcc	Vcc
:	:	:	:
SeN	gnd	gnd	gnd
WL1	gnd	Vcc	Vcc
WL2	gnd	gnd	gnd
:	:	:	:
:	:	:	:
Sd1	gnd	Vcc	Vcc
Sd2	Vpp	Vcc	Vcc
DV	Vcc	gnd	Vcc

メモリ側のセルは、何れのメモリセルでも選択することができる。

この実施例によれば、上記のように、ダミーメモリセルに正しく需込みがなされているか否かを容易に確認することができる。

なお、上述の第1および第2の実施例において、ダミーメモリセルQD2の上面をアルミニウム等でカバーすれば、このダミーメモリセルQD2をunerasable EPROM（消去不可能なEPROM）セルとすることができる。このようにすれば紫外線照射による本体メモリセルの情報消去（初期化：全てのメモリセルを未選込状態にする）後においても、ダミーメモリセルQD2のみは初期化されずに“0”セルのまま信号を保持し、したがってダミーメモリセルQD2への需込み作業は一回のみで済み、本体メモリセルの情報消去毎に需込みを行なう必要が無く、通常の情報消去、需込み、読出動作は従来のメモリチップと全く同一に行う事ができる。

4. 図面の簡単な説明

一方、基準電位発生回路E側においては、コントロール信号線Sd1、Sd2とともにVccの高電位に設定して、両ダミーメモリセルQD1、QD2を同時に読出し状態とし、第2の増幅回路AMP2から基準電位Vrefが出力されるように設定する。この基準電位Vrefは、ダミーメモリセルQD2に正しく需込みがなされているか、正しい所要の基準電位レベルになっているかである。

したがってこの基準電位Vrefと、第1の増幅回路AMP1の前記の出力電位 $V'_{in'}$ との関係は、 $Vref > V'_{in'}$ の状態が、間違いないで実現する筈である。このため比較回路BからHレベルの出力がされれば、両入力電位は $Vref > V'_{in'}$ の関係となっていて、ダミーメモリセルQD2には、正しく需込みがなされていると確認される。

上記のダミーメモリセルの需込確認動作は、本体メモリの初期状態、即ちメモリセルQC1、QC2…が全て“1”セルの時に行なえば、本体メ

第1図はこの発明に係るセンスアップ回路の第1実施例を示す回路図、第2図は同上第1実施例における比較回路への各入力電位の電源電圧依存性を示す特性図、第3図はこの発明の第2実施例を示す回路図、第4図は従来のセンスアップ回路を示す回路図、第5図は同上従来例における比較回路への各入力電位の電源電圧依存性を示す特性図である。

AMP1：第1の増幅回路、

AMP2：第2の増幅回路、

B：比較回路、

E：基準電位発生回路、

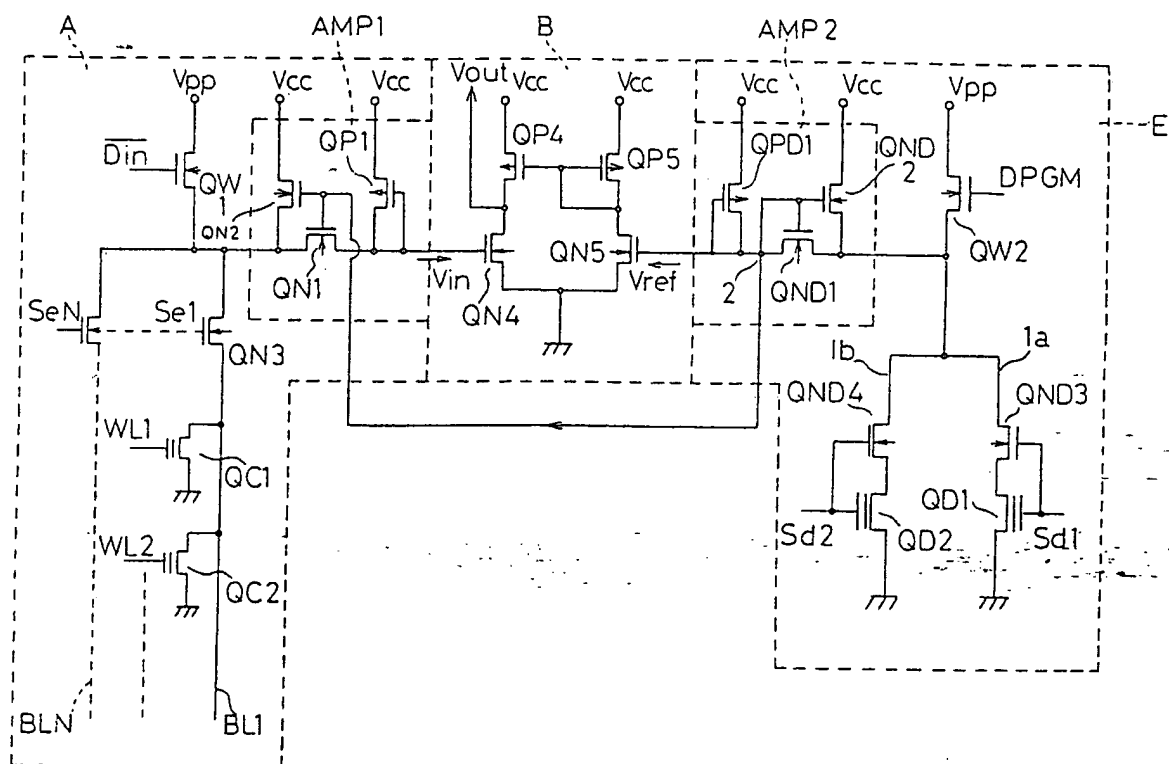
QC1、QC2：メモリセル、

QD1、QD2：ダミーメモリセル、

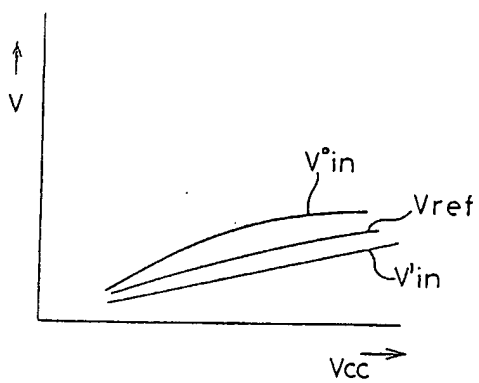
QW1：需込手段を構成するMOSトランジスタ。

代理人弁理士 三好保男

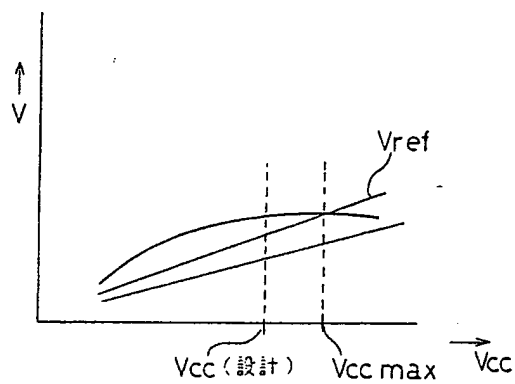




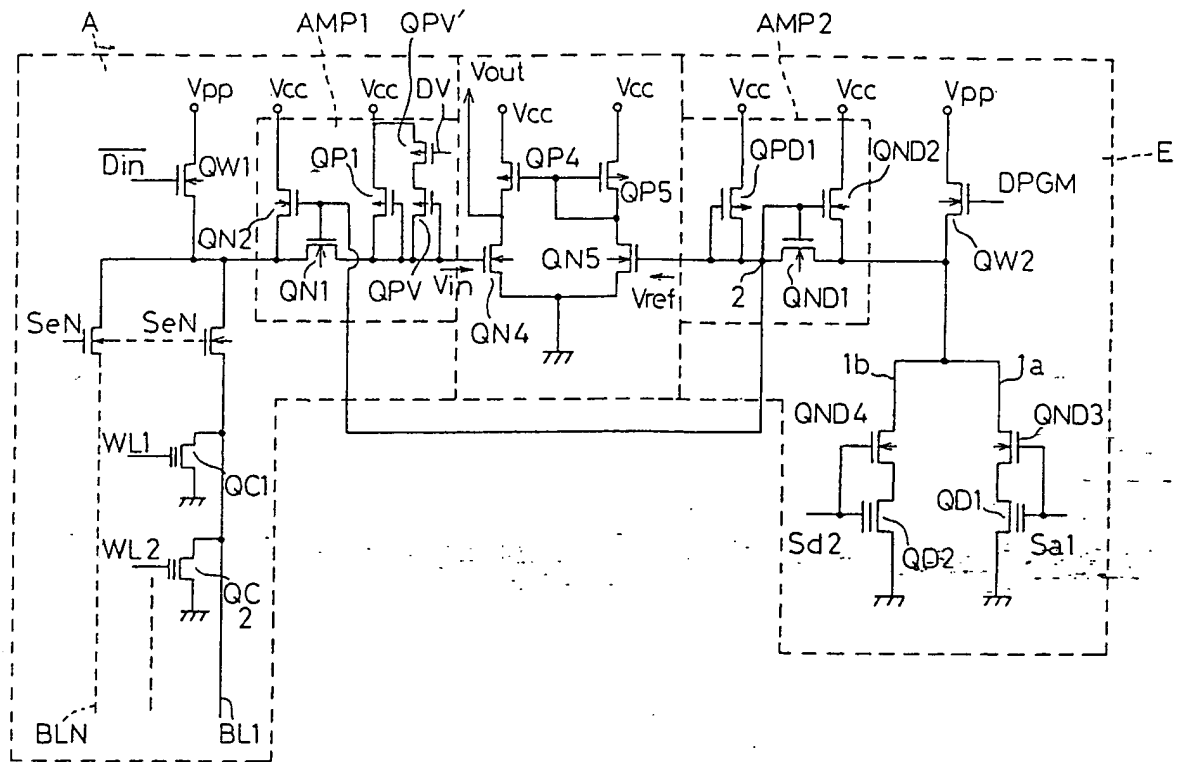
第 1 図



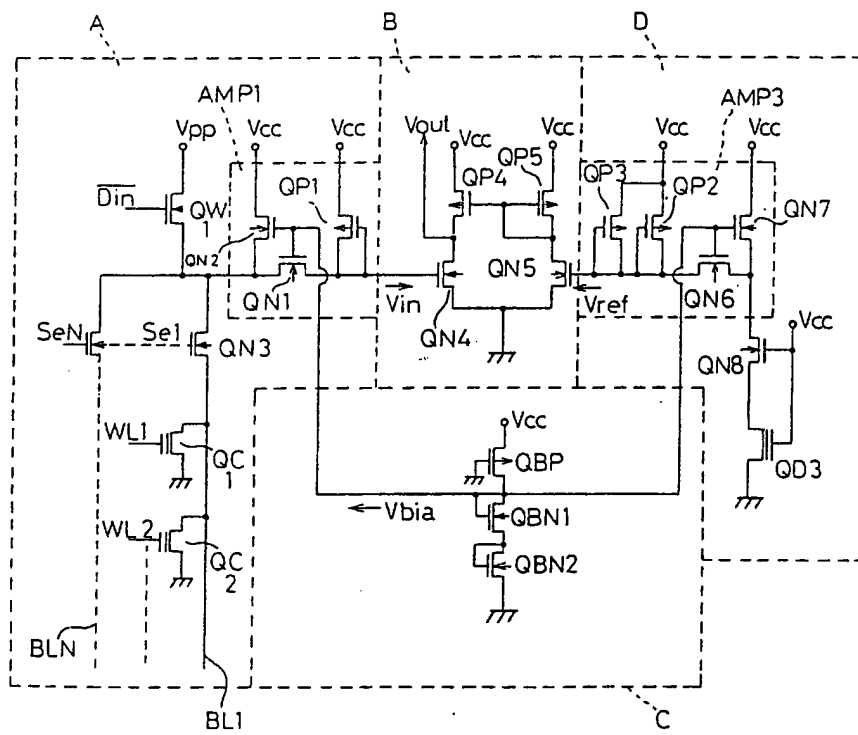
第 2 図



第 5 図



第 3 図



第 4 図

(54) SENSE AMPLIFIER CIRCUIT

(11) 62-76098 (A) (43) 8.4.1987 (19) JP

(21) Appl. No. 60-217111 (22) 30.9.1985

(71) TOSHIBA CORP (72) YUJI SHIMAMUNE

(51) Int. Cl. G11C17/00

PURPOSE: To form a sense amplifier circuit having high operating margins by providing plural dummy cell circuits in parallel with a reference potential generating circuit generating a comparison reference potential and providing a write means for writing a required electrically on at least any of the dummy memory cells.

CONSTITUTION: Two dummy memory cells QD1, QD2 are provided to a reference potential generating circuit E, a path transistor (TR) QND3 is connected in series with the dummy memory cell QD1 and a path TR QND4 is connected in series with the other dummy memory cell QD2, and the two dummy cell circuits 1a, 1b constituted above are provided in parallel. A path TR QW2 is turned on by applying a high voltage Vpp to a control signal line DPGM connected to its gate to apply a required voltage to the dummy cell circuits 1a, 1b. The electric write means on the dummy memory cells QD1, QD2 is constituted by the path TR QW2.

